

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-082829

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

G02F 1/136
H01L 29/784

(21)Application number : 04-238596

(71)Applicant : SHARP CORP

(22)Date of filing : 07.09.1992

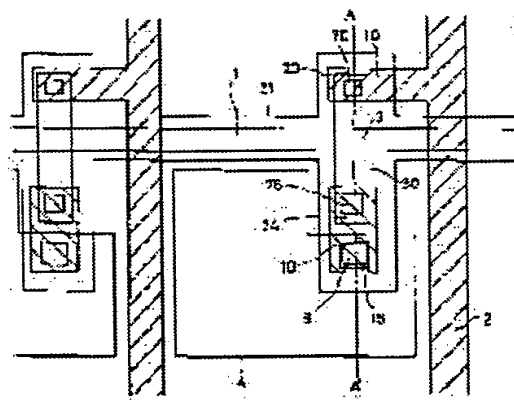
(72)Inventor : MATSUSHIMA YASUHIRO
SHIMADA NAOYUKI
YAMASHITA TOSHIHIRO
KUBO MASUMI
TAKATO YUTAKA

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract: -

PURPOSE: To provide the active matrix substrate which can make liquid crystal display having a good grade without the degradation of the off characteristics of thin-film transistors(TFTs) by irradiation with light.

CONSTITUTION: This active matrix substrate has pixel electrodes 4, scanning wirings 1 and signal wirings 2 formed to intersect with each other to a grid form and the TFTs as switching elements. Each of the TFTs is formed of an LDD structure in which a gate insulating film and a gate electrode 3 are formed in this order on one surface side of a semiconductor layer 30. Further, a light shielding layer 21 is formed via the insulating film 22 on the side opposite side therefrom, by which the irradiation of the semiconductor layer 30 with light is prevented.



LEGAL STATUS

[Date of request for examination] 12.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2859785

[Date of registration] 04.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-82829

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 S
		9056-4M		3 1 1 N

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-238596

(22)出願日 平成4年(1992)9月7日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 弁理士 山本 秀策

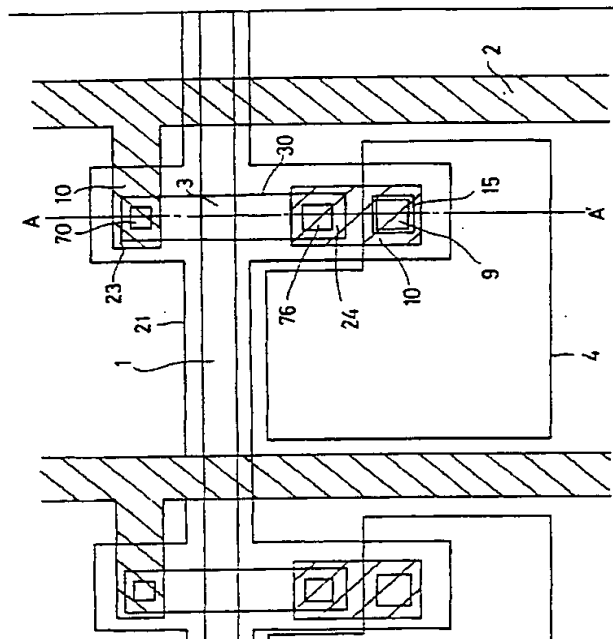
最終頁に続く

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 光の照射によってTFTのオフ特性が悪化することなしに、良好な品位を有する液晶表示が可能なアクティブマトリクス基板を提供する。

【構成】 絵素電極と、格子状に相互に交差して形成された走査配線および信号配線と、スイッチング素子としての薄膜トランジスタとを有するアクティブマトリクス基板である。上記薄膜トランジスタは、LDD構造となっており、該半導体層の片面側の上にゲート絶縁膜とゲート電極とがこの順に形成され、さらにこの面とは反対側には、間に絶縁膜を介して遮光膜が形成されて、半導体層へ光が照射されるのを防止する構造になっている。



【特許請求の範囲】

【請求項1】マトリクス状に形成された絵素電極と、該絵素電極の近傍を通過して格子状に相互に交差して形成された走査配線および信号配線と、該絵素電極、走査配線および信号配線にそれぞれ電気的に接続された薄膜トランジスタとを有するアクティブマトリクス基板であって、

該薄膜トランジスタは、半導体層が複数の領域に区分されたLDD構造となっており、両最外領域の一方がソース電極、他方がドレイン電極であり、該半導体層の片面側の上にゲート絶縁膜とゲート電極とがこの順に形成され、さらに該半導体層の該ゲート電極が形成された面とは反対側に、間に絶縁膜を介して遮光膜が形成されて、該遮光層により該半導体層へ光が照射されるのを防止するようにしたアクティブマトリクス基板。

【請求項2】前記薄膜トランジスタのゲート電極側に、間に1または2以上の絶縁膜を介して第2の遮光層が形成された請求項1に記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等を構成するアクティブマトリクス基板に関する。

【0002】

【従来の技術】図3は、従来のアクティブマトリクス基板を用いた液晶表示装置の構成の一例を示したものである。この表示装置においては、透明基板111上にゲート駆動回路54、ソース駆動回路55およびTFTアレイ部53が形成されている。薄膜トランジスタ（以下TFTと略称する）125よりなるスイッチング素子は、ゲート駆動回路54からゲートバスライン101を通じて送られるゲート信号によって、オン・オフの制御がされる。ソース駆動回路55は、ソースバスライン102に映像信号を供給している。また、TFT125のソース電極とソースバスライン102、ドレイン電極と絵素電極とはコンタクトホールを介して接続されている。ゲートバスライン101の電位がハイになり、TFTがオンになると、映像信号は、絵素電極と対向基板上の対向電極との間に液晶を挟む形で構成される容量と等価の絵素57に書き込まれる。この書き込まれた信号は、TFTがオフとなった状態で保持される。この絵素57と並列に付加容量27を基板111上に形成して信号の保持特性を向上させることもできる。

【0003】ここで、TFT125はLDD (Lightly Doped Drain) 領域を有する構造であり、TFTのチャネル領域の周り約2 μ mの範囲内にあるこのLDD領域は、イオン注入量をこの領域だけ減らすことにより、ソース領域、ドレイン領域よりも抵抗が高くなっている。このことはすなわち、オフ電流が小さくなり、またデュアルゲート構造のTFTに比べ、TFTの面積が小さく

なり開口率を大きくすることができるので、小型高精細を目的とした液晶表示パネルにおいては特に有利である。

【0004】

【発明が解決しようとする課題】このようなアクティブマトリクス基板を用いた液晶表示装置においては、絵素に書き込まれた映像信号は、絵素に書き込まれている間、TFTがオフ状態となることによって保持されるので、これにより良好な表示品位が実現される。従って、TFTのオフ特性が不十分である場合には、映像信号が減衰してしまい、表示が損なわれてしまう。上記従来例においては、オフ特性を向上させるため、スイッチング素子としてLDD構造のTFTを用いているが、このLDD構造は、特に光の影響を受け易く、液晶プロジェクター等に使用した場合には、TFT基板の裏面からの光によりオフ特性が悪化して表示品位を損なうという問題があった。例えば、小型高精細の液晶パネルを液晶プロジェクターに使用する場合には、パネルの開口率が45%以下と低いために、照射するランプの照度としては百万ルクス以上の光が必要である。このようなランプを使用すると、たとえ1%の光が回り込みによりTFTに当たったとしても、1万ルクス以上の光が当たることになり、オフ電流は1桁半上がってしまう。こうなると表示品位の高い液晶表示パネルを実現することができない。

【0005】本発明は、上記の問題点を解決するものであり、その目的とするところは、光の照射によってTFTのオフ特性が悪化することなしに、良好な品位を有する液晶表示が可能なアクティブマトリクス基板を提供することにある。

【0006】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、マトリクス状に形成された絵素電極と、該絵素電極の近傍を通過して格子状に相互に交差して形成された走査配線および信号配線と、該絵素電極、走査配線および信号配線にそれぞれ電気的に接続された薄膜トランジスタとを有するアクティブマトリクス基板であって、該薄膜トランジスタは、半導体層が複数の領域に区分されたLDD構造となっており、両最外領域の一方がソース電極、他方がドレイン電極であり、該半導体層の片面側の上にゲート絶縁膜とゲート電極とがこの順に形成され、さらに該半導体層の該ゲート電極が形成された面とは反対側に、間に絶縁膜を介して遮光膜が形成されて、該遮光層により該半導体層へ光が照射されるのを防止するようにし、そのことにより上記目的が達成される。

【0007】好適な実施態様としては、上記アクティブマトリクス基板は、上記薄膜トランジスタのゲート電極側に、間に1または2以上の絶縁膜を介して第2の遮光層が形成されている。

【0008】

【作用】本発明のアクティブマトリクス基板において、スイッチング素子としてのTFTは、半導体層にソース領域およびドレイン領域よりも不純物濃度が低いLDD領域を有しているため、TFTのオフ電流が小さくなる。さらに、半導体層のゲート電極が設けられていない方の面には、酸化膜または窒化膜からなる絶縁膜を介して、多結晶シリコンからなる遮光層が形成されているので、TFTの裏面から照射される光によるTFTのオフ電流の増加が抑えられる。

【0009】

【実施例】以下に、本発明の実施例について説明する。

【0010】（実施例1）図1は、本実施例のアクティブマトリクス基板の絵素部を示す平面図であり、図2は、図1のA-A'線に沿った断面図である。

【0011】このアクティブマトリクス基板は、絶縁性基板11の上に、マトリクス状に形成された絵素電極4と、絵素電極4の近傍を通して格子状に相互に交差して形成されたゲートバスライン2およびゲートバスライン3と、絵素電極4、ゲートバスライン2およびゲートバスライン3に接続されたスイッチング素子としてのTFTとを有している。TFTは、半導体層30にソース電極23およびドレイン電極24よりも不純物濃度が低いLDD領域を有した構造となっており、半導体層30の片面側の上にはゲート絶縁膜13を介してゲート電極3が形成されている。また、半導体層30の上記面とは反対側には絶縁膜22を介して遮光層21が設けられている。

【0012】このようなアクティブマトリクス基板は以下のようにして作製される。

【0013】まず、絶縁性基板11の全面に、化学蒸着法（CVD法）またはスパッタリングにより、多結晶シリコンからなる遮光層21を50～300nmの厚さに形成する。この場合、遮光層を多結晶シリコンで形成することにより、金属を用いた場合に後の工程において生じる汚染等の問題がない。次いで、これを覆うようにシリコン酸化膜からなる絶縁膜22をCVD法により、100nm～300nmの厚さに形成する。この場合、絶縁膜としては、他にAl₂O₃法等の酸化膜やSiN_x等の窒化膜を使用することができる。さらにその上に多結晶シリコン薄膜からなる半導体層30をCVD法によって形成した後、CVD法、スパッタリング法、または半導体層30の上面の熱酸化により、ゲート絶縁膜13を形成する。ここでゲート絶縁膜13の厚さは100nmであり、半導体層30の膜厚は40～80nmである。そして、上記半導体層30およびゲート絶縁膜13のパターニングを行う。この時上述したように、遮光層21は多結晶シリコンから形成されているので、遮光層を金属で形成した場合において、半導体層30が金属による汚染でTFTの特性が変動してしまうといった問題を生じることがない。

【0014】次に、半導体層30をパターニングして、多結晶シリコンからなるゲートバスライン1、ゲート電極3および付加容量上部電極（図示せず）を形成する。そして、半導体層30に、チャネル領域、LDD領域、ソース電極、ドレイン電極を以下の方法によって形成する。すなわち、まず、ゲート電極3と、再びフォトリソグラフィ工程により形成したレジスト膜とをマスクとして、半導体層30のゲート電極3の下方を除いた部分に、リン（P⁺）を80keV、 $1 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行い、次いで半導体層30においてゲート電極3から1.5～2μm離れた領域にレジストの抜きパターンを形成してリン（P⁺）を30keV、 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行った。これにより、ゲート電極3の下方に、チャネル領域12が形成され、チャネル領域12から1.5～2μm離れた位置までの部分に、LDD領域12a、12bが形成され、また半導体層30のそれ以外の部分に、ソース領域、ドレイン領域が形成される。ソース領域、ドレイン領域は、後の工程でソースバスライン、絵素電極と接続されるソース電極23、ドレイン電極24となる。

【0015】次いで、上記が形成された基板11上の全面に、CVD法によって第1層間絶縁膜14を600nmの厚さに形成した後、コンタクトホール7a、7bを形成する。そしてスパッタリングによりAl等の低抵抗な金属を用いて、ソースバスライン2と金属層10とを同時に形成する。これは、半導体層30と絵素電極4とを直接コンタクトを取ろうとすると、絵素電極を形成するITOのカバレッジが悪くてうまくコンタクトが取れないので間に金属層10を形成しているのである。ここで、金属層10の層厚は600nmである。ソースバスライン2は、コンタクトホール7aを介してソース電極23に接続されることになる。また、金属層10は、ソース電極23、ドレイン電極24の上部のコンタクトホール7a、7bを埋め込むように形成される。

【0016】次に、上記が形成された基板11の全面に、CVD法によって第2層間絶縁膜17を600nmの厚さに形成した後、ドレイン電極24と絵素電極とを接続するためのコンタクトホール9を形成する。そして、例えばTiW、WSiからなる金属層15をコンタクトホール9を埋め込むように形成する。ここで、金属層15の層厚は、120～150nmである。また、この金属層15は、Alからなる金属層10と、その上部の絵素電極とのオーミックコンタクトをとる役割もある。次いで、ITO膜等の透明電極膜で絵素電極4を形成する。

【0017】図3に、アクティブマトリクス基板のTFTに形成される遮光層の遮光効果を示す。図3において、横軸はTFTに照射した照度であり、縦軸はオフ電流値である。また、3つの直線はそれぞれ左から、従来のTFTに裏面からランプの光を照射したもの、従来の

TFTの裏面を80nmの膜厚の多結晶シリコン膜で覆い、ランプの光を遮光したもの、従来のTFTの裏面を160nmの膜厚の多結晶シリコン膜で覆い、ランプの光を遮光したものである。ソースドレイン間電圧 V_{ds} は、10Vであり、オフ電流値 I_{off} は、ゲート電圧 $V_g = -10V$ の時のソースドレイン間電流である。これによると、照度が1桁上がることによりオフ電流も1桁上がっているが、遮光層の膜厚80nmにつき、照度、オフ電流ともに40%に減少させることができることがわかる。したがって、本実施例のように、多結晶シリコンからなる遮光層21を設けることにより、TFTのオフ特性を向上させることができる。

【0018】さらに、この構造で遮光が不十分な場合には、図4に示すように、第2層間絶縁膜の上部にTiW、WSi等の金属からなる第2の遮光層20を積層して、TFTを2つの遮光層20、21で挟んだ構造にすれば、より一層の遮光効果が得られ、このようなTFTを有するアクティブマトリクス基板を用いた液晶表示装置は、表示品位がさらに良好となる。また、この場合も遮光層20には多結晶シリコン層を用いてもよい。

【0019】

【発明の効果】以上の説明から明らかなように、本発明のアクティブマトリクス基板によれば、TFTに形成された遮光層によってTFTの裏面から照射される光を遮断することができるので、TFTのオフ特性の悪化を防ぐことができる。このようなアクティブマトリクス基板を液晶プロジェクターとして用いた液晶表示装置は、強力な光を照射した場合においても良好な表示品位を保持することができる。

【図面の簡単な説明】

【図1】実施例1に係るアクティブマトリクス基板の平面図である。

【図2】図1のA-A'に沿った断面図である。

【図3】実施例1で得られたアクティブマトリクス基板のTFTの照度に対するオフ電流の関係を示す図である。

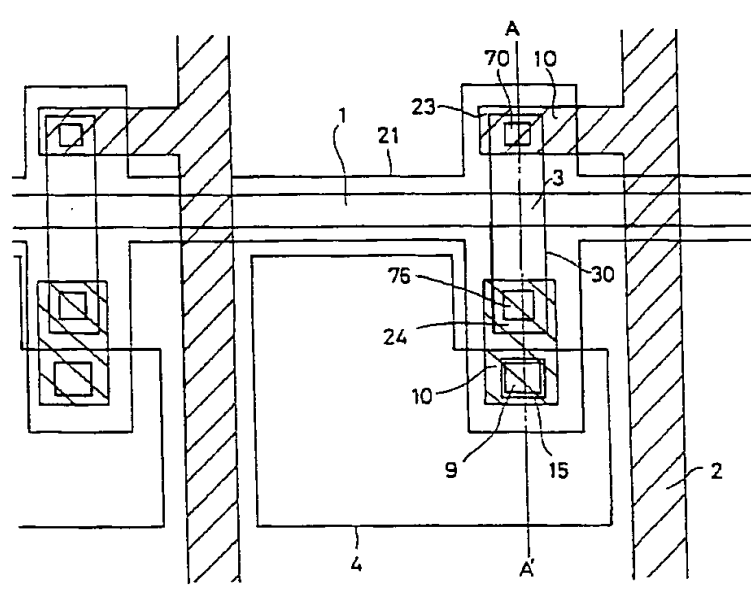
【図4】実施例1のアクティブマトリクス基板における変形例を示す図である。

【図5】従来例のアクティブマトリクス表示装置の平面模式図である。

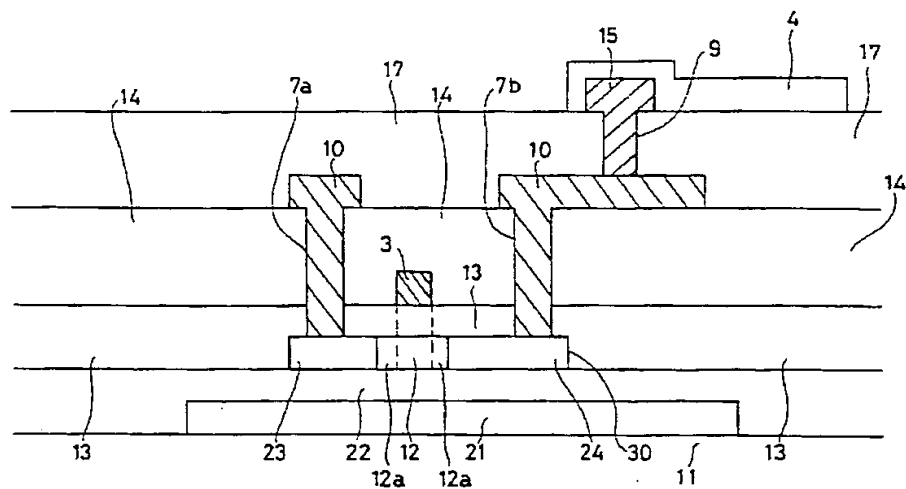
【符号の説明】

1	ゲートバスライン
2	ソースバスライン
3	ゲート電極
4	絵素電極
7a、7b、9	コンタクトホール
10、15	金属層
11	絶縁性基板
12	チャネル領域
12a	LDD領域
13	ゲート絶縁膜
14、17	層間絶縁膜
20、21	遮光層
22	絶縁膜
23	ソース電極
24	ドレイン電極
30	半導体層

【図1】



【図 2】



【図 3】

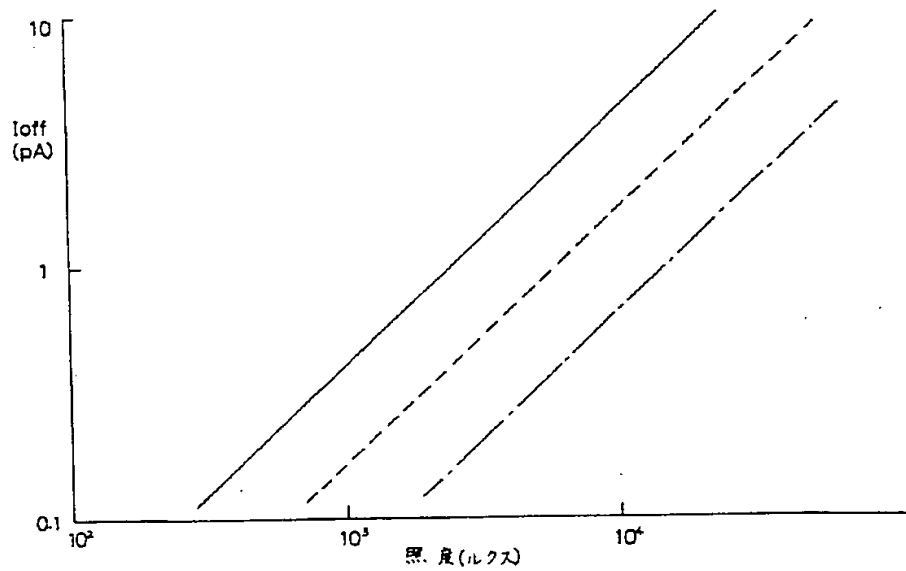


Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 11 with a base layer 12. A central region 3 is surrounded by a gate structure 10. A top layer 20 is shown with a pattern 7a and 7b. A side layer 9 is on the right, and a bottom layer 4 is at the bottom. Various other layers and structures are labeled with numbers 13, 14, 17, 21, 22, and 12a.

(72)発明者 ▲高▼藤 裕
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内